

BEST AVAILABLE COPY

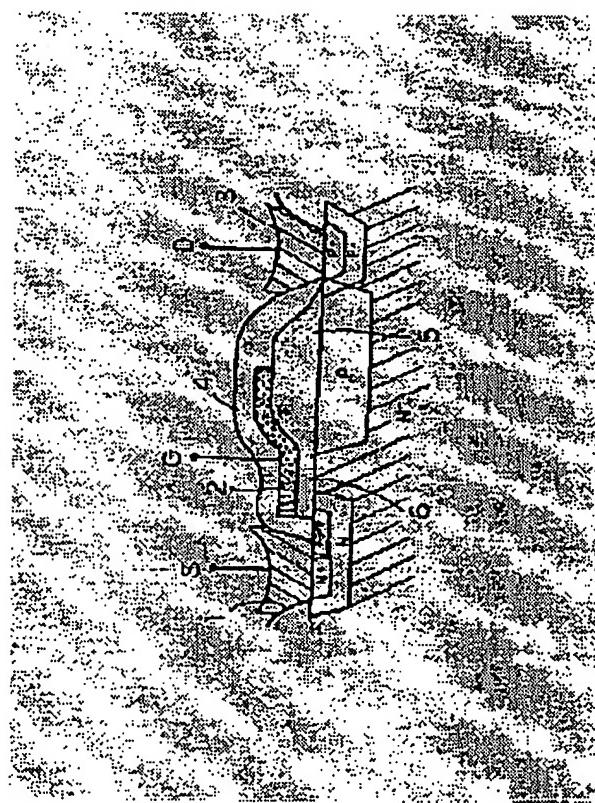
**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Publication number: JP4162678  
Publication date: 1992-06-08  
Inventor: NAGATA YOSHIAKI  
Applicant: KANSAI NIPPON ELECTRIC  
Classification:  
- international: (IPC1-7): H01L29/784  
- european:  
Application number: JP19900290261 19901025  
Priority number(s): JP19900290261 19901025

[Report a data error here](#)**Abstract of JP4162678**

**PURPOSE:** To prevent damage of a boundary, generation of a leakage current between a gate and a source or a drain by providing a step of simultaneously forming a field oxide film and a gate oxide film, and a step of removing the oxide film of a gate part except a predetermined thickness in a high voltage P-channel transistor of a high charge MOS IC.

**CONSTITUTION:** A high voltage P-channel transistor in which a field oxide film 5 and a gate oxide film 6 are simultaneously formed, is formed of a source voltage 1, polysilicon 2 of a gate, a drain electrode 3, a PSG 4 of an interlayer film, a field oxide film 5, a gate oxide film 6, and a junction 7 of the field oxide film and the gate oxide film. The field oxide film of about 1.8μm of thickness is formed on the entire surface, the oxide film of the gate part is etched to form the film 6. Accordingly, deterioration of an oxide film properties of a boundary between the films 5 and 6 is eliminated. Thus, damage of the gate oxide film, generation of a leakage current between the gate and a source or a drain can be prevented.



---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

④日本国特許庁(JP) ④特許出願公開  
 ④公開特許公報(A) 平4-162678

①Int.Cl.  
H 01 L 29/784

取扱記号 勝内整理番号

②公開 平成4年(1992)6月8日

8422-4M H 01 L 29/78 301 X

審査請求 未請求 請求項の数：(全3頁)

③発明の名称 半導体装置の製造方法

④特 願 平2-290261  
 ④出 願 平2(1990)10月25日

⑤発明者 水田 義明 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社  
 内

⑥出願人 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号

明細書

発明の名称

半導体装置の製造方法

特許請求の範囲

高耐圧NOS ICの高圧Pチャンネルトランジスタにおいて、

フィールド酸化膜とゲート酸化膜を同時に形成する工程と、ゲート部分の酸化膜を所定厚さだけ残して除去する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

基板上の利用分野

この発明は、半導体装置の製造方法に属し、特に高耐圧NOS ICの高圧Pチャンネルトランジスタのゲート酸化膜の形成方法に関するものである。

技術の概要

表示ディスプレイのドライバ等に用いられて

る、高耐圧NOS ICの高圧Pチャンネルトランジスタの構造を、第3図に示す。

第3図において、1はソース電極、2はゲートのポリシリコン、3はドレイン電極、4は層間膜のPSG、5はフィールド酸化膜、6はゲート酸化膜、7はフィールド酸化膜とゲート酸化膜の接合部である。

ゲートのポリシリコン2にマイナスの高電圧が加わると、ゲート酸化膜6の下にP型の反応層が形成され、ソース電極1とドレイン電極3の間に電流を流すことができる。

問題の解決しようとする課題

ところで、上記のトランジスタは、第4図(B)でフィールド酸化膜5を形成し、その後第4図(O)でゲート酸化膜6を形成している。

そのため、フィールド酸化膜5とゲート酸化膜6の境界部7で酸素の供給不足や重金属、ゴミなどにより、酸化膜質が劣化し、ゲートに高電圧がかかった時に、境界部の破壊や、ゲートとソース、ドレイン間セリーキ電流を発生するという欠

特開平4-162078(2)

点があった。

#### 膜層を形成するための手順

この発明は、上記の膜層を形成するために、フィールド酸化膜とゲート酸化膜を同時に形成する工程と、ゲート部分の酸化膜を形成厚さだけ薄めて除去する工程とを含むことを特徴とするものである。

#### 作用

上記の製造方法により、フィールド酸化膜とゲート酸化膜の境界部の酸化膜質の劣化がなくなるため、ゲートとソース、ドレイン間の耐圧が向上し、ゲート酸化膜の破壊や、ゲートとソース、ドレイン間でのリーキ電流の発生も防止できる。

#### 実施例

以下、この発明の実施例について、図面を参照して説明する。

第1図は、この発明の実施例のフィールド酸化膜とゲート酸化膜を同時に形成した高圧Pチャンネルトランジスタの断面図を示す。各部の名称及び動作原理は、前述の第3図と同様であるので、

説明を省略する。

第2図(A)～(E)は、このトランジスタの製造フローに従う断面図を示す。

第2図(B)で全面に厚さ1.8μm程度のフィールド酸化膜を形成し、第2図(C)でゲート部分の酸化膜をエッチすることにより例えば、厚さ1000～8000Åのゲート酸化膜6を形成する。

この方法は、フィールド酸化膜5とゲート酸化膜6の境界部の酸化膜質の劣化がなくなるため、境界部でのゲート酸化膜の破壊や、ゲートとソース、ドレイン間のリーク電流の発生を防ぐという利点がある。

#### 結果の効果

この発明は、以上のように、フィールド酸化膜とゲート酸化膜を同時に形成することにより、フィールド酸化膜とゲート酸化膜の境界部をなくし、ゲート酸化膜の破壊やゲートとソース、ドレイン間のリーク電流の発生を防止する効果がある。

#### 図面の簡単な説明

第1図は、この発明のフィールド酸化膜とゲート酸化膜を同時に形成した高圧Pチャンネルトランジスタの断面図である。

第2図(A)～(E)は、この発明のフィールド酸化膜とゲート酸化膜を同時に形成した高圧Pチャンネルトランジスタの製造フローに従う断面図である。

第3図は、従来のフィールド酸化膜とゲート酸化膜を別々に形成した高圧Pチャンネルトランジスタの断面図である。

第4図(A)～(E)は、従来のフィールド酸化膜とゲート酸化膜を別々の工程で形成した高圧Pチャンネルトランジスタの製造フローに従う断面図である。

- 1……ソース電極、
- 2……ゲートのポリシリコン、
- 3……ドレイン電極、
- 4……絶縁膜のPSG、
- 5……フィールド酸化膜、

6——ゲート酸化膜、

7——フィールド酸化膜とゲート酸化膜の複合膜。

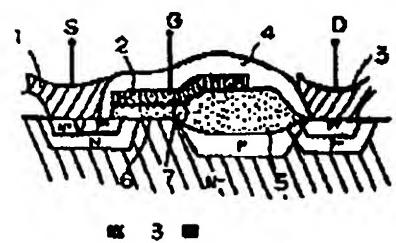
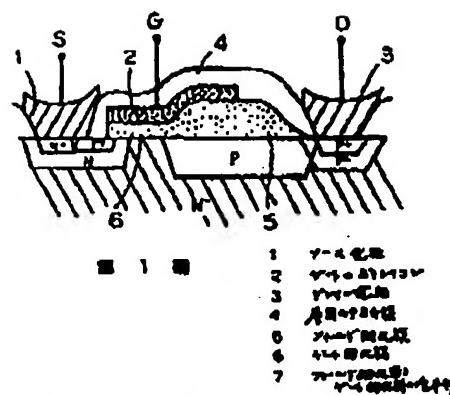
特許出願人

関西日本電気株式会社

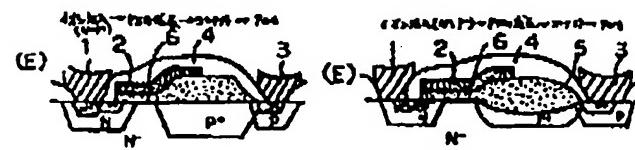
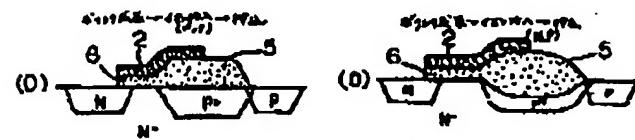
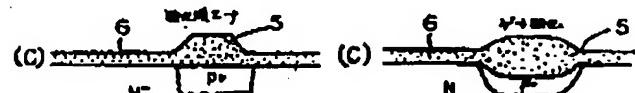
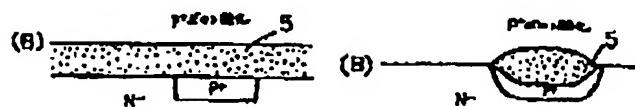
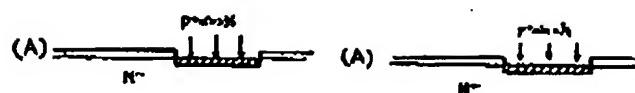


特開平4-162678 (3)

BEST AVAILABLE COPY



■ 2 ■ ■ 4 ■



- 475 -

## \* \* \* COMMUNICATION RESULT REPORT ( JUN. 21. 2006 9:37AM ) \* \* \*

FAX HEADER 1: TEST  
FAX HEADER 2:TRANSMITTED/STORED : JUN. 21. 2006 9:36AM  
FILE MODE OPTION

ADDRESS

RESULT

PAGE

2428 MEMORY TX

0001

OK

1/1

BEST AVAILABLE COPY

REASON FOR ERROR  
E-3) HANG UP OR LINE FAIL  
E-4) NO ANSWER  
06-6-21:11:47AM:E-2) BUSY  
E-4) NO FACSIMILE CONNECTION  
FISH&RICHARDSON\_NY:

# 1 / 18

**NGB** corporationPatent Department  
7-13, Nishi-Shimbashi 1-chome, Minato-ku, Tokyo 105-8408, Japan  
Phone: +81-3-6203-9111 • FAX: +81-3-6203-9480 • E-mail: paten@ngb.co.jpFISH & RICHARDSON P.C.  
CITIGROUP CENTER - 52ND FLOOR  
153 EAST 53RD STREET  
NEW YORK, NY 10022-4611  
U.S.A

June 21, 2006

VIA FACSIMILE

Your Ref.: 10417-103002  
Our ref.: F51-170696M/SWRe: Office Action  
U.S. Patent Application Serial No. 10/809,011  
SANYO ELECTRIC CO., LTD.  
Due Date: June 23, 2006

Dear Sir:

Thank you for your letter of April 17, 2006, enclosing your detailed comments. This is response thereto.

We basically agreed with your suggestion. However, please add a new dependent claim.

New dependent claim

The semiconductor device manufacturing method as claimed in claim 5 or 7, the first gate insulating film is not formed at a position lower than at least a surface position of the source region and the drain region, in the step of forming said first gate insulating film.

Remarks

Above new dependent claim is supported by Fig. 4.

IDS

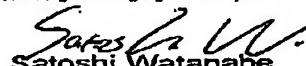
Please file JP03-077463 U and JP04-162678 as IDS.

Please file a response by the due date.

Your kind cooperation would be highly appreciated.

**RECEIPT ACKNOWLEDGED  
WITH THANKS**

JUN 21 2006

FISH & RICHARDSON, P.C.  
NEW YORK CITY OFFICE SERVICES
  
 Satoshi Watanabe  
 Patent Department

SW

P.S. Please acknowledge your safe receipt via facsimile.